

## Unexamined Utility Model Application Publication

A partial translation of reference no. 1

2-52165  
Date 2(1990)-4-13

Fig. 1 illustrates a block diagram of one preferred embodiment according to the present application. A logic analyzer of the present invention consists of a sampler 3, a quantizer 4, a storage memory 5, a data display portion 6, a control circuit 7, an input panel 8, a trigger condition comparator 9, and a storage memory control circuit 10. A reference numeral 1 is a device to be measured and a reference numeral 2 is a probe.

The measured device 1 generates an analog signal changing every moment, the probe 2 leads the analog signal to the logic analyzer, the sampler 3 takes in the analog signal by a constant period, the quantizer 4 converts an analog signal to a digital signal, the data storage memory 5 stores the digital signal, the data display portion 6 displays data, the control circuit 7 controls each device, the input panel 8 inputs a variety of conditions for control signals, the trigger condition comparator compares obtained data with trigger conditions, and the storage memory control circuit 10 controls write to the memory and read from the memory.

Figs. 2 and 3 show flowcharts the trigger condition comparator 9 in each trace condition and the storage memory control circuit 10.

As shown in Fig. 2, triggers are counted after searching a trigger condition to display timing when reaching the predetermined number. In Fig. 3, when the trigger condition is satisfied after searching it, proceeding to a next trigger condition, and the display is done if satisfied.

Appln No. 63-131898

Filed 63(1988)-10-7

# 公開実用平成 2-52165

Ref. No. 1

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-52165

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月13日

G 01 R 13/28

L

6860-2C

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 ロジックアナライザ

⑮ 実 願 昭63-131898

⑯ 出 願 昭63(1988)10月7日

⑰ 考 案 者	宮 崎 敏 明	東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 考 案 者	魚 谷 俊 昭	新潟県柏崎市大字安田7546番地 新潟日本電気株式会社内
㉑ 考 案 者	渡 邊 義 則	新潟県柏崎市大字安田7546番地 新潟日本電気株式会社内
㉒ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号
㉓ 出 願 人	新潟日本電気株式会社	新潟県柏崎市大字安田7546番地
㉔ 代 理 人	弁理士 内 原 晋	

## 明 細 書

### 考案の名称

ロジックアナライザ

### 実用新案登録請求の範囲

1 回の測定でトリガが特定の回数だけ発生したことを識別できる第1のトリガ条件比較器と、2つ以上のトリガ条件の組合の場合のトリガを識別できる第2のトリガ条件比較器と、識別されたデータをメモリに対して読み出し、書き込みを行なうストレージメモリコントロール回路を有するロジックアナライザ。

### 考案の詳細な説明

#### 〔産業上の利用分野〕

本考案はロジックアナライザ、特にハードウェアのデバッグで、タイミングなどを観測するときに使用されるロジックアナライザに関する。

#### 〔従来の技術〕

従来のロジックアナライザは、特定のタイミング時において信号を観測する場合、そのタイミングの時のある限られたトリガ条件を入力し、データをサンプリングし、そのトレース条件を満たすものを見つけると、タイミングを表示していた。  
〔考案が解決しようとする課題〕

上述した従来のロジックアナライザは、トリガ条件検索開始後の最初のトリガ条件を満足した時点で、データとストレージメモリに格納し、一杯になりしだい表示し、表示終了後、再びトリガ条件検索を行なうため、観測したい波形は、上記トリガ条件がある回数だけ発生した時のものである場合、ストレージメモリ不足、表示中による検索中止期間等で目的の波形を観測できなかつたり、又、トリガ条件を確定し、確定時よりある時間後からトレースを開始する方法で表示された波形が目的とする回数だけトリガ条件が発生したものであるのかはわからなかつた。

又、観測したい波形のトリガ条件が、前記トリガ条件とは違うトリガ条件発生後のものである場

合、例えば観測したいA条件は頻繁に発生しB条件はまれに発生するような場合、B条件でトリガするべ目的のA条件発生時の波形がストレージメモリ不足等で観測できず、A条件でトリガすれば余計な時の波形も表示し、B条件後のA条件をトレースするには何百回と検索を繰り返さねばならなかった。

〔課題を解決するための手段〕

本考案のロジックアナライザは、1回の測定でトリガが特定の回数だけ発生したことを識別できる第1のトリガ条件比較器と、2つ以上のトリガ条件の組合の場合のトリガを識別できる第2のトリガ条件比較器と、識別されたデータをメモリに対して読み出し、書き込みを行なうストレージメモリコントロール回路を有する。

〔実施例〕

次に、本考案について図面を参照して説明する。

第1図は本考案の一実施例のブロック図であり、本実施例は標本化器3、量子化器4、データ

ストレージメモリ 5、データ表示部 6、コントロール回路 7、入力パネル 8、トリガ条件比較器 9 およびストレージメモリコントロール回路 10 から成る。1 は被測定器、2 はプローブである。

被測定器 7 は時々刻々変化するアナログ信号を出す機器であり、プローブ 2 はアナログ信号をロジックアナライザに導くためのものである。標本化器 3 はアナログ信号を一定周期ごとに取り込むもの、量子化器 4 はアナログ信号をデジタル信号に変換するもの、データストレージメモリ 5 はデジタル信号を記憶するもの、データ表示部 6 はデータを表示するもの、コントロール回路 7 は各部の制御、入力パネル 8 は制御信号のための各種条件を入力するもの、トリガ条件比較器 9 は採集されたデータとトリガ条件を比較するもの、ストレージメモリコントロール回路 10 はメモリへのデータの書き込み、メモリからのデータの読み出しを制御するものである。

第 2 図、第 3 図は各トレース条件におけるトリガ条件比較器 9 と、ストレージメモリのコントロ

ーム回路 10 のフローチャートを示す。

第 2 図に示すように、トリガ条件検索後トリガを数え、目的の回数に到するとタイミングを表示する。また、第 3 図においては、トリガ条件検索後最初のトリガ条件を満たすと、次のトリガ条件に進み、これも満たすと表示する。

〔考案の効果〕

以上説明したように本考案は、トリガの回数を 2 回以上または、トリガ条件を 2 種類以上に設定することにより、それらのトリガ条件付近でのデータのサンプリングを行ない、この点におけるタイミングを観測することができ、トレースポイントの選択に幅ができてより多種類の波形の解析を行なうことができるようになる。

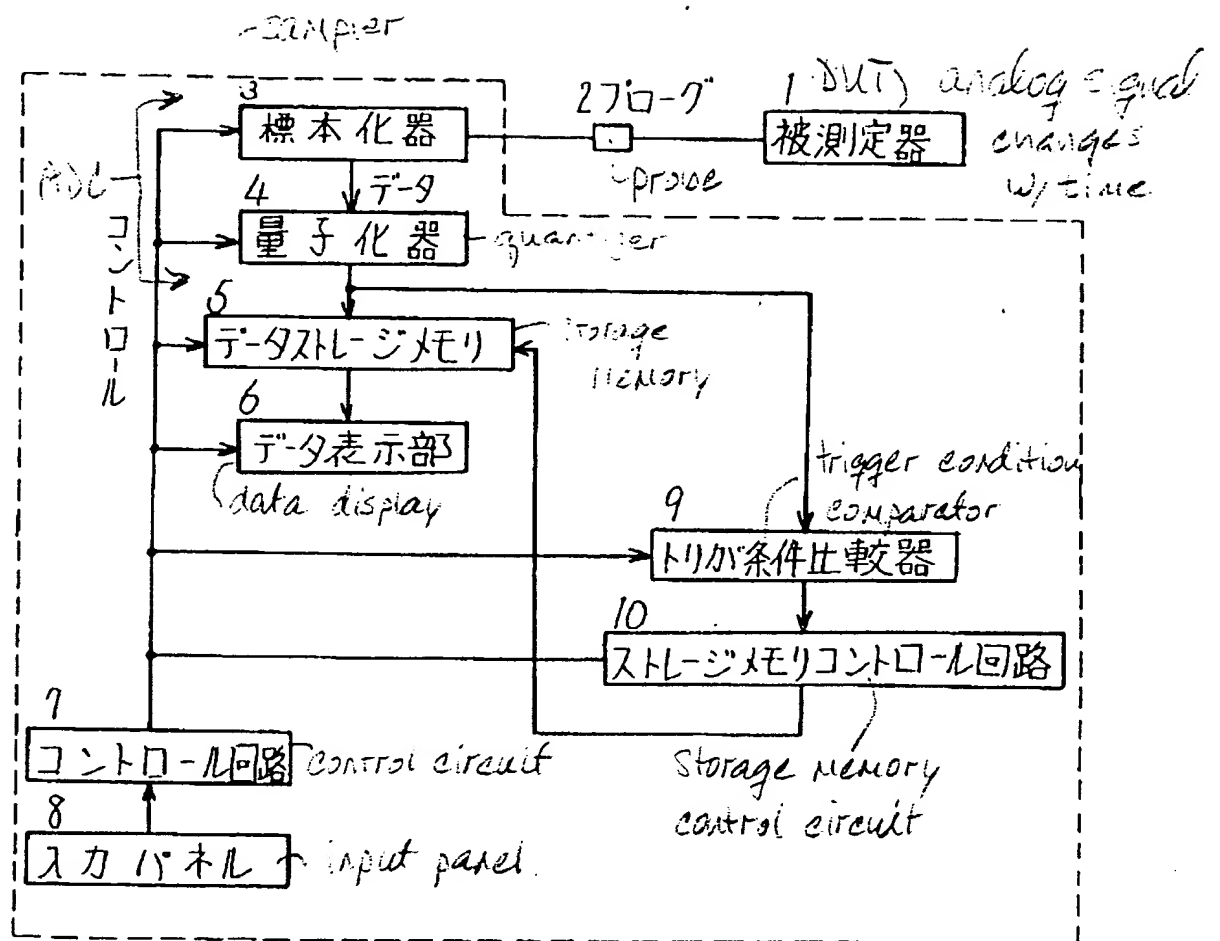
#### 図面の簡単な説明

第 1 図は本考案の一実施例のブロック図、第 2 図と第 3 図は本実施例におけるトリガ条件比較器とストレージメモリコントロール回路のフローチャートである。

1…被測定器、2…プローブ、3…標本化器、  
4…量子化器、5…エータストレージメモリ、6  
…データ表示部、7…コントロール回路、8…入  
力パネル、9…トリガ条件比較器、10…ストレ  
ージメモリコントロール回路。

代理人 弁理士 内 原 晋



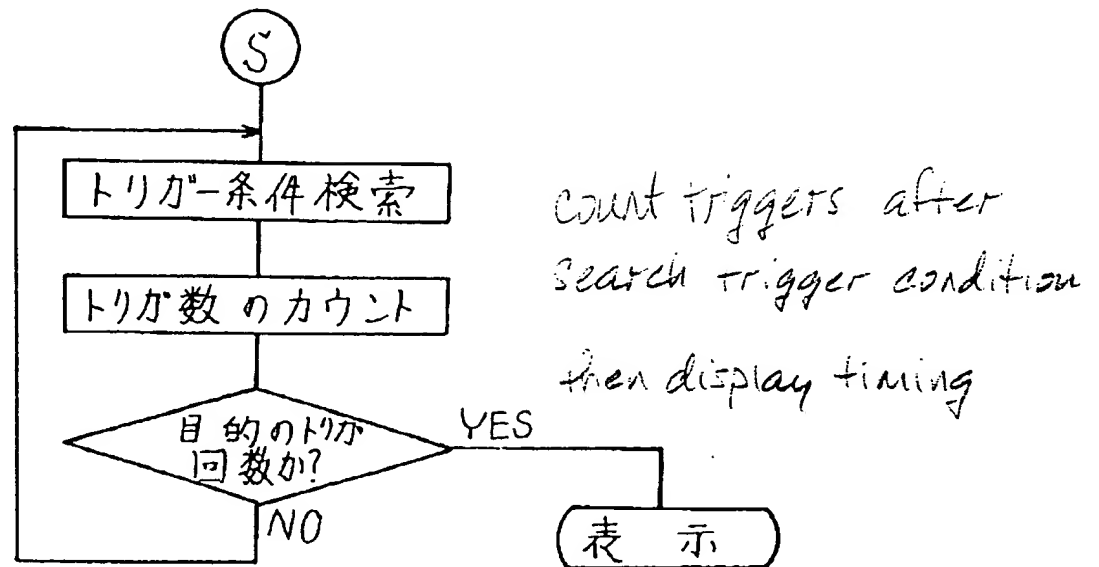


第 1 図

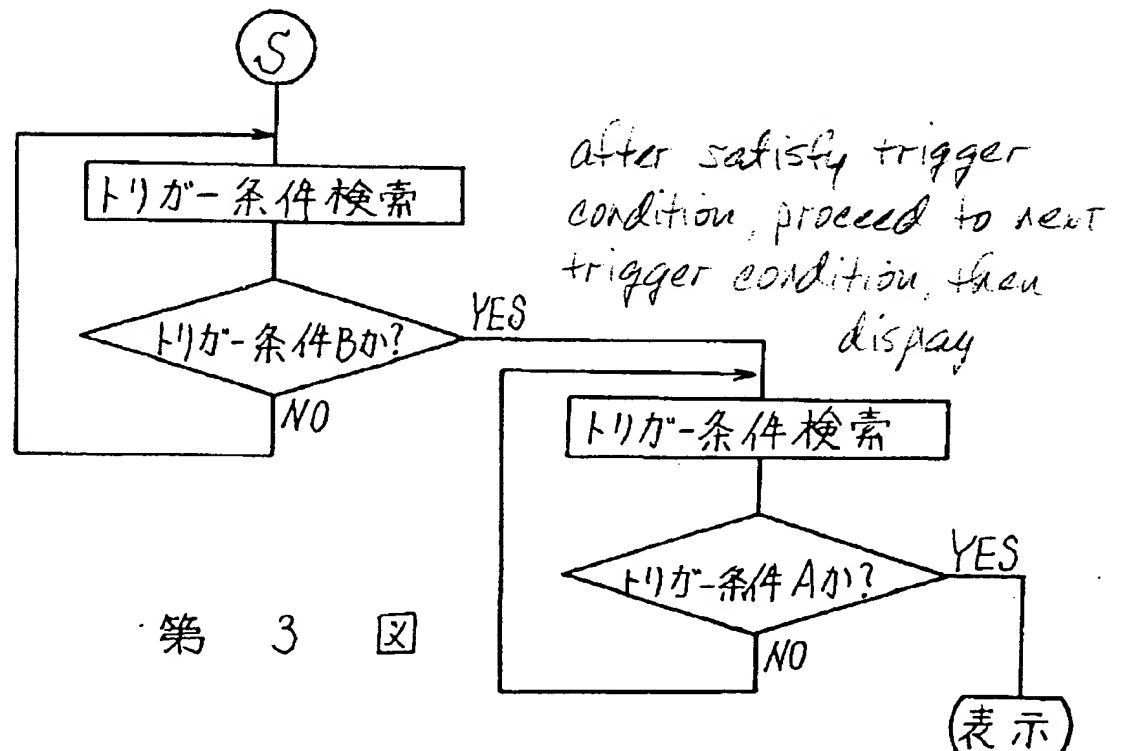
819

実開2- 52165

代理人 弁理士 内原 晋



第 2 図



第 3 図

820

代理人 弁理士 内 原 晋